



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0071528
Application Number PATENT-2002-0071528

출 원 년 월 일 : 2002년 11월 18일
Date of Application NOV 18, 2002

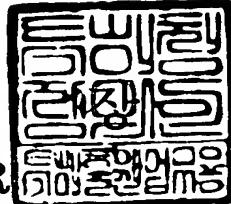
출 원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.11.18
【국제특허분류】	H01L
【발명의 명칭】	향상된 신뢰성을 가지는 적층형 멀티 칩 패키지
【발명의 영문명칭】	Multi chip package having increased reliability
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	최윤호
【성명의 영문표기】	CHOI, Yun Ho
【주민등록번호】	600329-1140310
【우편번호】	441-113
【주소】	경기도 수원시 권선구 세류3동 성원아파트 102-404
【국적】	KR
【발명자】	
【성명의 국문표기】	김경호
【성명의 영문표기】	KIM, Kyung Ho
【주민등록번호】	640712-1333318

1020020071528

출력 일자: 2002/11/30

【우편번호】 441-460
【주소】 경기도 수원시 권선구 금곡동 530 LG 빌리지 210-702
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 4 면 4,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 18 항 685,000 원
【합계】 718,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

신뢰성이 향상된 적층형 멀티 칩 패키지가 제공된다. 적층형 멀티 칩 패키지는 패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 제1 반도체 칩과, 웨이퍼 상태이며, 적층수단에 의해 상기 제1 반도체 칩 위에 적층되는 적어도 하나의 제2 반도체 칩과, 상기 제1 반도체 칩을 외부 시스템에 전기적으로 연결하는 제1 연결수단과, 상기 제2 반도체 칩을 상기 외부 시스템에 전기적으로 연결하는 제2 연결 수단을 구비한다. 상기 제1 연결수단과 상기 제2 연결수단은 각각 서로 다른 연결 수단이다. 상기 적층형 멀티 칩 패키지는 패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 반도체 칩을 포함하므로, 적층형 멀티 칩 패키지의 신뢰성이 효과적으로 향상될 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

향상된 신뢰성을 가지는 적층형 멀티 칩 패키지{Multi chip package having increased reliability}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 따른 적층형 멀티 칩 패키지의 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 적층형 멀티 칩 패키지의 단면도이다.

도 3은 도 2에 도시된 멀티 칩 패키지용 인쇄회로기판의 평면도이다.

도 4는 본 발명의 제2 실시예에 따른 적층형 멀티 칩 패키지의 단면도이다.

도 5는 도 4에 도시된 멀티 칩 패키지용 인쇄회로기판의 평면도이다.

도 6은 본 발명의 제3 실시예에 따른 적층형 멀티 칩 패키지의 단면도이다.

도 7은 도 6에 도시된 멀티 칩 패키지용 인쇄회로기판의 평면도이다.

도 8은 본 발명의 제4 실시예에 따른 적층형 멀티 칩 패키지의 단면도이다.

도 9는 도 8에 도시된 멀티 칩 패키지용 인쇄회로기판의 평면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 적층형 멀티 칩 패키지에 관한 것으로, 보다 상세하게는, 최하층에 적층되는 반도체 칩은 패키지 상태로 조립되는 적층형 멀티 칩 패키지에 관한 것이다.

<12> 멀티 칩 패키지(MCP; Multi Chip Package) 기술은 두 개 이상의 반도체 칩을 적층해 하나의 패키지로 만들어 제품의 크기를 대폭 축소하는 패키지 기술로서, 휴대폰과 같은 정보기기의 소형화 및 경량화 추세에 따라, 그 중요성이 크게 증가하고 있다. 최근의 멀티 칩 패키지 기술은 동일한 종류의 반도체 칩들을 적층한 멀티 칩 패키지 기술로부터 다른 종류의 반도체 칩들을 적층한 혼합형(hybrid) 멀티 칩 패키지 기술로 확대되고 있다.

<13> 도 1은 종래 기술에 따른 적층형 멀티 칩 패키지의 단면도이다. 적층형 멀티 칩 패키지(100)는 다수개의 반도체 칩들(110, 120, 130), 접착제(140), 다수개의 본딩와이어(bonding wire)들(150, 160, 170), 플라스틱 몰딩 컴파운드(plastic molding compound, 180), 멀티 칩 패키지용 인쇄회로기판(PCB; Printed Circuit Board, 190)을 포함할 수 있다.

<14> 각각의 반도체 칩들(110, 120, 130)은 서로 다른 종류의 반도체 칩이며, 웨이퍼 단계(wafer level)에서 테스트를 거친 후 양호한 다이(good die)로서 판명된 베어 다이(bare die)이다. 베어 다이(bare die)는 베어 칩(bare chip)으로도 언급될 수 있다. 각각의 반도체 칩들(110, 120, 130)은, 예를 들어, 플래시 메모리(flash memory)와 같은

비휘발성 기억소자(NVM; Non Volatile Memory), 모바일 디램(Mobile DRAM) 및 유닛 트랜지스터 램(UtRAM; unit-transistor RAM)과 같은 슈도우 에스램(pseudo SRAM)의 순서로 적층될 수 있다.

<15> 각각의 본당와이어들(150, 160, 170)은 각각의 반도체 칩들(110, 120, 130)을 멀티 칩 패키지용 인쇄회로기판(190)에 전기적으로 연결한다. 멀티 칩 패키지용 인쇄회로기판(190)에 포함되는 다수개의 솔더 볼(solder ball, 191)들은 멀티 칩 패키지(100)를 외부 시스템과 전기적으로 연결한다.

<16> 플라스틱 몰딩 캠파운드(180)는 반도체 칩들(110, 120, 130)을 고정시켜주고 외부 환경으로부터 반도체 칩들(110, 120, 130)을 보호한다.

<17> 그런데, 종래 기술에 따른 적층형 멀티 칩 패키지(100)는 서로 다른 종류의 반도체 칩들이 적층되어 조립되므로, 적층형 멀티 칩 패키지(100)의 신뢰성 테스트(reliability test)가 수행될 때, 신뢰성 측면에서 상대적으로 약한 특성을 가지는 반도체 칩(예를 들어, 플래시 메모리)이 제공하는 원인에 의하여 적층형 멀티 칩 패키지(100)의 완성품이 최종적으로 불량품으로 처리될 수 있다. 그 결과, 적층형 멀티 칩 패키지의 생산성이 저하됨으로써, 적층형 멀티 칩 패키지의 생산원가가 상승될 수 있다.

<18> 또한, 종래 기술에 따른 적층형 멀티 칩 패키지(100)는 서로 다른 구조의 본딩 패드(bonding pad)를 가지는 반도체 칩들이 적층되어 조립되므로, 와이어를 본딩할 때 적층형 멀티 칩 패키지(100)의 불량 발생률이 증가하여 적층형 멀티 칩 패키지(100)의 신뢰성(reliability)이 저하될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명이 이루고자 하는 기술적 과제는 신뢰성 측면에서 상대적으로 약한 반도체 칩을 패키지 상태로 조립한 후 상기 패키지 상태의 반도체 칩 위에 다른 종류의 반도체 칩들을 수직방향으로 적층한 적층형 멀티 칩 패키지를 제공하는 것이다.

【발명의 구성 및 작용】

<20> 상기의 기술적 과제를 달성하기 위하여 본 발명에 따른 적층형 멀티 칩 패키지는, 패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 제1 반도체 칩; 웨이퍼 상태이며, 적층수단에 의해 상기 제1 반도체 칩 위에 적층되는 적어도 하나의 제2 반도체 칩; 상기 제1 반도체 칩을 외부 시스템에 전기적으로 연결하는 제1 연결수단; 및 상기 제2 반도체 칩을 상기 외부 시스템에 전기적으로 연결하는 제2 연결수단을 구비하며, 상기 제1 연결수단과 상기 제2 연결수단은 각각 서로 다른 연결 수단인 것을 특징으로 한다.

<21> 바람직한 실시예에 따르면, 상기 적층형 멀티 칩 패키지는 상기 제1 연결수단 및 상기 제2 연결수단이 전기적으로 연결되는 본딩패드들과, 상기 본딩 패드들을 상기 외부 시스템에 전기적으로 연결하는 핀들을 포함하는 멀티 칩 패키지용 인쇄회로기판을 더 구비한다.

<22> 바람직한 실시예에 따르면, 상기 적층형 멀티 칩 패키지는 상기 제1 반도체 칩 및 상기 제2 반도체 칩을 고정하고, 상기 제1 반도체 칩 및 상기 제2 반도체 칩을 외부환경으로부터 보호하는 몰딩 캠파운드를 더 구비한다.

<23> 바람직한 실시예에 따르면, 상기 적층수단은 접착제이고, 상기 제1 반도체 칩의 패키지형은 FBGA(Fine Ball Grid Array), W-CSP(Wafer-level Chip Size Package), TQFP(Thin Quad Flat Package), STSOP(Super Thin Small Outline Package) 또는 BGA(Ball Grid Array) 이다.

<24> 바람직한 실시예에 따르면, 상기 제1 연결수단은 상기 FBGA, W-CSP 및 BGA의 솔더 볼들 또는 TQFP 및 STSOP의 핀들을 상기 멀티 칩 패키지용 인쇄회로기판의 본딩 패드들에 연결하는 솔더 범프이고, 상기 제2 연결수단은 상기 제2 반도체 칩의 패드들을 상기 멀티 칩 패키지용 인쇄회로기판의 본딩패드들에 연결하는 본딩 와이어이다.

<25> 바람직한 실시예에 따르면, 상기 멀티 칩 패키지용 인쇄회로기판의 패키지형은 BGA 또는 TQFP 이다.

<26> 바람직한 실시예에 따르면, 상기 제1 반도체 칩의 패키지형이 FBGA, W-CSP 또는 BGA 인 경우 상기 제1 반도체 칩의 배면과 상기 제2 반도체 칩의 배면은 상기 접착제를 통하여 서로 마주보며 적층된다.

<27> 바람직한 실시예에 따르면, 상기 제1 반도체 칩의 패키지형이 TQFP 또는 STSOP 인 경우 상기 제1 반도체 칩의 패드가 위치하는 일면과 상기 제2 반도체 칩의 배면은 상기 접착제를 통하여 서로 마주보며 적층된다.

<28> 이러한 본 발명에 따른 적층형 멀티 칩 패키지는 패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 반도체 칩을 포함하므로, 적층형 멀티 칩 패키지의 신뢰성이 효과적으로 향상될 수 있다. 따라서, 적층형 멀티 칩 패키지의 불량 발생률이 감소되어 생산 원가가 효과적으로 절감될 수 있다.

<29> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<31> 도 2는 본 발명의 제1 실시예에 따른 적층형 멀티 칩 패키지의 단면도이다. 도 2를 참조하면, 적층형 멀티 칩 패키지(200)는 제1 반도체 칩(210), 제2 반도체 칩(220), 제3 반도체 칩(230), 접착제(240)와 같은 적층 수단, 본딩 와이어(bonding wire)들(250, 260), 몰딩 콤파운드(molding compound, 270) 및 멀티 칩 패키지용 인쇄회로기판(280)을 구비한다.

<32> 각각의 반도체 칩들(210, 220, 230)은 서로 다른 종류의 반도체 칩이며, 예를 들어, 플래시 메모리(flash memory)와 같은 비휘발성 기억소자(NVM; Non Volatile Memory), 모바일 DRAM 및 유닛 트랜지스터 램(UtRAM; unit-transistor RAM)과 같은 슈도우 에스램(pseudo SRAM)의 순서로 적층될 수 있다. 상기 플래시 메모리는 신뢰성(reliability) 측면에서 다른 종류의 반도체 칩들 보다 상대적으로 약할 수 있다.

<33> 제1 반도체 칩(210)은 패키지 상태로서 조립된 후 신뢰성 테스트(reliability test)에서 양호한 것으로 검증된 반도체 칩이며, 상대적으로 불량 발생률이 높은 플래시 메모리(flash memory)와 같은 반도체 칩일 수 있다. 그리고, 제1 반도체 칩(210)의 패키지형은 CSP(Chip Scale Package)의 일종인 FBGA 또는 W-CSP 인 것이 바람직하다. 상기 CSP는 패키지의 크기가 반도체 칩의 크기와 유사한 초소형 패키지를 말한다. 제1 반도

체 칩(210)은 솔더 볼(solder ball, 211)들을 통하여 멀티 칩 패키지용 인쇄회로기판(280)에 전기적으로 연결된다.

<34> 제2 반도체 칩(220)은 웨이퍼 단계(wafer level)에서 다양한 테스트들이 수행된 후 양호한 다이(good die)로서 판명된 베어 칩(bare chip)이다. 그리고, 제2 반도체 칩(220)은 접착제(240)와 같은 적층수단을 통하여 제1 반도체 칩(210) 위에 수직방향으로 적층된다. 즉, 제1 반도체 칩(210)의 배면과 제2 반도체 칩(220)의 배면은 접착제(240)를 통하여 서로 마주보며 적층된다. 여기서, 상기 반도체 칩의 배면은 상기 반도체 칩의 패드(pad)가 배치되는 일면의 다른 일면을 말한다. 제2 반도체 칩(220)의 패드(미도시)는 본딩 와이어(250)를 통하여 멀티 칩 패키지용 인쇄회로기판(280)에 전기적으로 연결된다.

<35> 또한, 제3 반도체 칩(230)도 웨이퍼 단계(wafer level)에서 다양한 테스트들이 수행된 후 양호한 다이로서 판명된 베어 칩(bare chip)이다. 그리고, 제3 반도체 칩(230)은 접착제(240)와 같은 적층수단을 통하여 제2 반도체 칩(220) 위에 수직방향으로 적층된다. 제3 반도체 칩(230)의 패드(미도시)는 본딩 와이어(260)를 통하여 멀티 칩 패키지용 인쇄회로기판(280)에 전기적으로 연결된다.

<36> 몰딩 컴파운드(270)는 적층된 반도체 칩들(210, 220, 230)을 고정시켜주고, 외부환경으로부터 적층된 반도체 칩들(210, 220, 230)을 보호한다.

<37> 멀티 칩 패키지용 인쇄회로기판(280)은 적층된 반도체 칩들(210, 220, 230)을 전기적으로 상호 연결한다. 상기 상호 연결된 반도체 칩들(210, 220, 230)은 멀티 칩 패키지용 인쇄회로기판(280)의 솔더 볼(solder ball)들을 통하여 외부 시스

템(미도시)과 전기적으로 연결된다. 멀티 칩 패키지용 인쇄회로기판(280)의 패키지형은 BGA(Ball Grid Array)인 것이 바람직하다.

<38> 따라서, 본 발명의 제1 실시예에 따른 적층형 멀티 칩 패키지(200)는 최하층에 신뢰성 측면에서 다른 종류의 반도체 칩들 보다 상대적으로 약한 반도체 칩을 패키지 상태로서 조립하여 적층함으로써, 신뢰성을 효과적으로 향상시킬 수 있다. 또한, 신뢰성이 향상됨으로써, 적층형 멀티 칩 패키지의 불량 발생률이 감소되어 생산 원가가 현저히 감소될 수 있다.

<39> 도 3은 도 2에 도시된 멀티 칩 패키지용 인쇄회로기판의 평면도이다. 도 3을 참조하면, 복수개의 제1 본딩 패드(bonding pad, 282)들 및 복수개의 제2 본딩 패드(283)들이 멀티 칩 패키지용 인쇄회로기판(280) 상에 배치된다. 제1 본딩 패드(282)들에는 도 2에 도시된 제2 및 제3 반도체 칩들(220, 230)의 본딩 와이어들(250, 260)이 연결되고, 제2 본딩 패드(283)들에는 제1 반도체 칩(210)의 솔더 볼(211)들이 솔더 범프(solder bump, 미도시)들을 통하여 연결된다.

<40> 도 4는 본 발명의 제2 실시예에 따른 적층형 멀티 칩 패키지의 단면도이다. 적층형 멀티 칩 패키지(400)는 제1 반도체 칩(410), 제2 반도체 칩 (420), 제3 반도체 칩 (430), 접착제(440)와 같은 적층수단, 본딩 와이어들(450, 460), 몰딩 컴파운드(470) 및 멀티 칩 패키지용 인쇄회로기판(480)을 구비한다.

<41> 제1 반도체 칩(410)은 패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 반도체 칩이며, 상대적으로 불량 발생률이 높은 플래시 메모리와 같은 반도체 칩일 수 있다. 그리고, 제1 반도체 칩(410)의 패키지형은 TQFP(Thin

Quad Flat Package) 또는 STSOP(Super Thin Small Outline Package) 인 것이 바람직하다. 제1 반도체 칩(410)의 핀(pin, 411)들은 솔더 범프(미도시)를 통하여 멀티 칩 패키지용 인쇄회로기판(480)에 전기적으로 연결된다.

<42> 제2 반도체 칩(420)은 웨이퍼 단계(wafer level)에서 다양한 테스트들이 수행된 후 양호한 다이로서 판명된 베어 칩(bare chip)이다. 그리고, 제2 반도체 칩(420)은 접착제(440)와 같은 적층수단을 통하여 제1 반도체 칩(410) 상에 수직방향으로 적층된다. 즉, 제1 반도체 칩(410)의 패드(pad, 미도시)가 위치하는 일면(즉 위쪽 면)과 제2 반도체 칩(420)의 배면은 접착제(440)를 통하여 서로 마주보며 적층된다. 여기서, 상기 반도체 칩의 배면은 상기 반도체 칩의 패드가 배치되는 일면의 다른 일면을 말한다. 제2 반도체 칩(420)의 패드는 본딩 와이어(450)를 통하여 멀티 칩 패키지용 인쇄회로기판(480)에 전기적으로 연결된다.

<43> 또한, 제3 반도체 칩(430)도 웨이퍼 단계(wafer level)에서 다양한 테스트들이 수행된 후 양호한 다이로서 판명된 베어 칩(bare chip)이다. 그리고, 제3 반도체 칩(430)은 접착제(440)와 같은 적층수단을 통하여 제2 반도체 칩(420) 상에 수직방향으로 적층된다. 제3 반도체 칩(430)의 패드(미도시)는 본딩 와이어(460)를 통하여 멀티 칩 패키지용 인쇄회로기판(480)에 전기적으로 연결된다.

<44> 몰딩 캄파운드(470)는 적층된 반도체 칩들(410, 420, 430)을 고정시켜주고, 외부환경으로부터 적층된 반도체 칩들(410, 420, 430)을 보호한다.

<45> 멀티 칩 패키지용 인쇄회로기판(480)은 적층된 반도체 칩들(410, 420, 430)을 전기적으로 상호 연결한다. 상기 상호 연결된 반도체 칩들(410, 420, 430)은 멀

티 칩 패키지용 인쇄회로기판(480)의 솔더 볼(solder ball)을 통하여 외부시스템(미도시)과 전기적으로 연결된다. 멀티 칩 패키지용 인쇄회로기판(480)의 패키지형은 BGA(Ball Grid Array)인 것이 바람직하다.

<46> 도 5는 도 4에 도시된 멀티 칩 패키지용 인쇄회로기판의 평면도이다. 도 5를 참조하면, 복수개의 제1 본딩 패드(482)들 및 복수개의 제2 본딩 패드(483)들이 멀티 칩 패키지용 인쇄회로기판(480) 상에 배치된다. 제1 본딩 패드(482)들에는 도 4에 도시된 제2 및 제3 반도체 칩들(420, 430)의 본딩 와이어들(450, 460)이 연결되고, 제2 본딩 패드(483)들에는 도 4에 도시된 제1 반도체 칩(410)의 핀(411)들이 솔더 범프(미도시)를 통하여 연결된다.

<47> 도 6은 본 발명의 제3 실시예에 따른 적층형 멀티 칩 패키지의 단면도이다. 도 6을 참조하면, 적층형 멀티 칩 패키지(600)는 제1 반도체 칩(610), 제2 반도체 칩(620), 제3 반도체 칩(630), 접착제(640)와 같은 적층 수단, 본딩 와이어들(650, 660), 몰딩 캠파운드(680) 및 멀티 칩 패키지용 인쇄회로기판(680)을 구비한다.

<48> 제1 반도체 칩(610)은 패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 반도체 칩이며, 상대적으로 불량 발생률이 높은 플래시 메모리와 같은 반도체 칩일 수 있다. 그리고, 제1 반도체 칩(610)의 패키지형은 BGA(Ball Grid Array)인 것이 바람직하다. 제1 반도체 칩(610)의 솔더 볼(611)들은 솔더 범프(미도시)들을 통하여 멀티 칩 패키지용 인쇄회로기판(680)에 전기적으로 연결된다.

<49> 제2 반도체 칩(620)은 웨이퍼 단계(wafer level)에서 다양한 테스트들이 수행된 후 양호한 다이로서 판명된 베어 칩(bare chip)이다. 그리고, 제2 반도체

칩(620)은 접착제(640)와 같은 적층수단을 통하여 제1 반도체 칩(610) 상에 수직방향으로 적층된다. 즉, 제1 반도체 칩(610)의 배면과 제2 반도체 칩(620)의 배면은 접착제(640)를 통하여 서로 마주보며 적층된다. 여기서, 상기 반도체 칩의 배면은 반도체 칩의 패드(미도시)가 배치되는 일면의 다른 일면을 말한다. 제2 반도체 칩(620)의 패드는 본딩 와이어(650)를 통하여 멀티 칩 패키지용 인쇄회로기판(680)에 전기적으로 연결된다.

<50> 또한, 제3 반도체 칩(630)도 웨이퍼 단계(wafer level)에서 다양한 테스트들이 수행된 후 양호한 다이로서 판명된 베어 칩(bare chip)이다. 그리고, 제3 반도체 칩(630)은 접착제(640)와 같은 적층수단을 통하여 제2 반도체 칩(620) 상에 수직방향으로 적층된다. 제3 반도체 칩(630)의 패드(미도시)는 본딩 와이어(660)를 통하여 멀티 칩 패키지용 인쇄회로기판(680)에 전기적으로 연결된다.

<51> 물당 컴파운드(670)는 적층된 반도체 칩들(610, 620, 630)을 고정시켜주고, 외부환경으로부터 적층된 반도체 칩들(610, 620, 630)을 보호한다.

<52> 멀티 칩 패키지용 인쇄회로기판(680)은 적층된 반도체 칩들(610, 620, 630)을 전기적으로 상호 연결한다. 상기 상호 연결된 반도체 칩들(610, 620, 630)은 멀티 칩 패키지용 인쇄회로기판(680)의 핀(681)들을 통하여 외부시스템(미도시)과 전기적으로 연결된다. 멀티 칩 패키지용 인쇄회로기판(680)의 패키지형은 QFP(Quad Flat Package)인 것이 바람직하다.

<53> 도 7은 도 6에 도시된 멀티 칩 패키지용 인쇄회로기판의 평면도이다. 도 7을 참조하면, 복수개의 제1 본딩 패드(682)들 및 복수개의 제2 본딩 패드(683)들이 멀티 칩 패키지용 인쇄회로기판(680) 상에 배치된다. 제1 본딩 패드(682)들에는 도 6에 도시된 제2 및 제3 반도체 칩들(620, 630)의 본딩 와이어들(650, 660)이 연결되고, 제2 본딩 패드

(683)들에는 도 6에 도시된 제1 반도체 칩(610)의 솔더 볼(611)들이 솔더 범프(미도시)들을 통하여 연결된다.

<54> 도 8은 본 발명의 제4 실시예에 따른 적층형 멀티 칩 패키지의 단면도이다. 도 8을 참조하면, 적층형 멀티 칩 패키지(800)는 제1 반도체 칩(810), 제2 반도체 칩(820), 제3 반도체 칩(830), 접착제(840)와 같은 적층수단, 본딩 와이어들(850, 860), 몰딩 캄파운드(870) 및 멀티 칩 패키지용 인쇄회로기판(880)을 구비한다.

<55> 제1 반도체 칩(810)은 패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 반도체 칩이며, 상대적으로 불량 발생률이 높은 플래시 메모리와 같은 반도체 칩일 수 있다. 그리고, 제1 반도체 칩(810)의 패키지형은 TQFP 또는 STSOP 인 것이 바람직하다. 제1 반도체 칩(810)의 핀(811)들은 솔더 범프(미도시)들을 통하여 멀티 칩 패키지용 인쇄회로기판(880)에 전기적으로 연결된다.

<56> 제2 반도체 칩(820)은 웨이퍼 단계(wafer level)에서 다양한 테스트들이 수행된 후 양호한 다이(good die)로서 판명된 베어 칩(bare chip)이다. 그리고, 제2 반도체 칩(820)은 접착제(840)를 통하여 제1 반도체 칩(810) 상에 수직방향으로 적층된다. 즉, 제1 반도체 칩(810)의 패드(미도시)가 위치하는 일면(위쪽 면)과 제2 반도체 칩(820)의 배면은 반도체 칩의 패드가 배치되는 일면의 다른 일면을 말한다. 제2 반도체 칩(820)의 패드는 본딩 와이어(850)를 통하여 멀티 칩 패키지용 인쇄회로기판(880)에 전기적으로 연결된다

<57> 또한, 제3 반도체 칩(830)도 웨이퍼 단계(wafer level)에서 다양한 테스트들이 수행된 후 양호한 다이(good die)로서 판명된 베어 칩(bare chip)이다. 그리고, 제3 반도

체 칩(830)은 접착제(840)를 통하여 제2 반도체 칩(820) 상에 수직방향으로 적층된다.

제3 반도체 칩(830)의 패드(미도시)는 본딩 와이어(860)를 통하여 멀티 칩 패키지용 인쇄회로기판(880)에 전기적으로 연결된다.

<58> 몰딩 컴파운드(870)는 적층된 반도체 칩들(810, 820, 830)을 고정시켜주고, 외부환경으로부터 적층된 반도체 칩들(810, 820, 830)을 보호한다.

<59> 멀티 칩 패키지용 인쇄회로기판(880)은 적층된 반도체 칩들(810, 820, 830)을 전기적으로 상호 연결한다. 상기 상호 연결된 반도체 칩들(810, 820, 830)은 멀티 칩 패키지용 인쇄회로기판(880)의 핀(881)들을 통하여 외부시스템(미도시)과 전기적으로 연결된다. 멀티 칩 패키지용 인쇄회로기판(880)의 패키지형은 TQFP 인 것이 바람직하다.

<60> 도 9는 도 8에 도시된 멀티 칩 패키지용 인쇄회로기판의 평면도이다. 도 9를 참조하면, 복수개의 제1 본딩 패드(882)들 및 복수개의 제2 본딩 패드(883)들이 멀티 칩 패키지용 인쇄회로기판(880) 상에 배치된다. 제1 본딩 패드(882)들에는 도 8에 도시된 제2 및 제3 반도체 칩들(820, 830)의 본딩 와이어들(850, 860)이 연결되고, 제2 본딩 패드(883)들에는 도 8에 도시된 제1 반도체 칩(810)의 핀(811)들이 솔더 범프(미도시)들을 통하여 연결된다.

<61> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<62> 본 발명에 따른 적층형 멀티 칩 패키지는 패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 반도체 칩을 포함하므로, 적층형 멀티 칩 패키지의 신뢰성이 효과적으로 향상될 수 있다. 따라서, 적층형 멀티 칩 패키지의 불량 발생률이 감소되어 생산 원가가 효과적으로 절감될 수 있다.

【특허청구범위】**【청구항 1】**

패키지 상태로서 조립된 후 신뢰성 테스트에서 양호한 것으로 검증된 제1 반도체
칩;
웨이퍼 상태이며, 적층수단에 의해 상기 제1 반도체 칩 위에 적층되는 적어도 하
나의 제2 반도체 칩;
상기 제1 반도체 칩을 외부 시스템에 전기적으로 연결하는 제1 연결수단; 및
상기 제2 반도체 칩을 상기 외부 시스템에 전기적으로 연결하는 제2 연결 수단을
구비하며,
상기 제1 연결수단과 상기 제2 연결수단은 각각 서로 다른 연결 수단인 것을 특징
으로 하는 적층형 멀티 칩 패키지.

【청구항 2】

제1항에 있어서, 상기 적층형 멀티 칩 패키지는
상기 제1 연결수단 및 상기 제2 연결수단이 전기적으로 연결되는 본딩패드들과, 상
기 본딩 패드들을 상기 외부 시스템에 전기적으로 연결하는 핀들을 포함하는 멀티 칩 패
키지용 인쇄회로기판을 더 구비하는 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 3】

제2항에 있어서, 상기 적층형 멀티 칩 패키지는

상기 제1 반도체 칩 및 상기 제2 반도체 칩을 고정하고, 상기 제1 반도체 칩 및 상기 제2 반도체 칩을 외부환경으로부터 보호하는 몰딩 컴파운드를 더 구비하는 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 4】

제3항에 있어서, 상기 적층수단은
접착제인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 5】

제4항에 있어서, 상기 제1 반도체 칩의 패키지형은
FBGA 또는 W-CSP 인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 6】

제5항에 있어서,
상기 제1 연결수단은 상기 FBGA 또는 W-CSP 의 솔더 볼들을 상기 멀티 칩 패키지
용 인쇄회로기판의 본딩 패드들에 연결하는 솔더 범프이고,
상기 제2 연결수단은 상기 제2 반도체 칩의 패드들을 상기 멀티 칩 패키지용 인쇄
회로기판의 본딩패드들에 연결하는 본딩 와이어인 것을 특징으로 하는 적층형 멀티 칩
패키지.

【청구항 7】

제6항에 있어서,

상기 멀티 칩 패키지용 인쇄회로기판의 패키지형은 BGA 인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 8】

제7항에 있어서,

상기 제1 반도체 칩의 배면과 상기 제2 반도체 칩의 배면은 상기 접착제를 통하여 서로 마주보며 적층되는 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 9】

제4항에 있어서, 상기 제1 반도체 칩의 패키지형은

TQFP 또는 STSOP 인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 10】

제9항에 있어서,

상기 제1 연결 수단은 상기 TQFP 또는 STSOP 의 핀들을 상기 멀티 칩 패키지용 인쇄회로기판의 본딩패드들에 연결하는 솔더 범프이고,

상기 제2 연결 수단은 상기 제2 반도체 칩의 패드들을 상기 멀티 칩 패키지용 인쇄회로기판의 본딩패드들에 연결하는 본딩 와이어인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 11】

제10항에 있어서,

상기 멀티 칩 패키지용 인쇄회로기판의 패키지형은 BGA 인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 12】

제10항에 있어서,

상기 멀티 칩 패키지용 인쇄회로기판의 패키지형은 TQFP 인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 13】

제11항에 있어서,

상기 제1 반도체 칩의 패드가 위치하는 일면과 상기 제2 반도체 칩의 배면은 상기 접착제를 통하여 서로 마주보며 적층되는 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 14】

제12항에 있어서,

상기 제1 반도체 칩의 패드가 위치하는 일면과 상기 제2 반도체 칩의 배면은 상기 접착제를 통하여 서로 마주보며 적층되는 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 15】

제4항에 있어서, 상기 제1 반도체 칩의 패키지형은

BGA 인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 16】

제15항에 있어서,

상기 제1 연결수단은 상기 BGA의 솔더 볼들을 상기 멀티 칩 패키지용 인쇄회로기판의 본딩 패드들에 연결하는 솔더 범프이고,

상기 제2 연결수단은 상기 제2 반도체 칩의 패드들을 상기 멀티 칩 패키지용 인쇄회로기판의 본딩패드들에 연결하는 본딩 와이어인 것을 특징으로 하는 적층형 멀티 칩 패키지.

【청구항 17】

제16항에 있어서,

상기 멀티 칩 패키지용 인쇄회로기판의 패키지형은 TQFP 인 것을 특징으로 하는 적층형 멀티 칩 패키지.

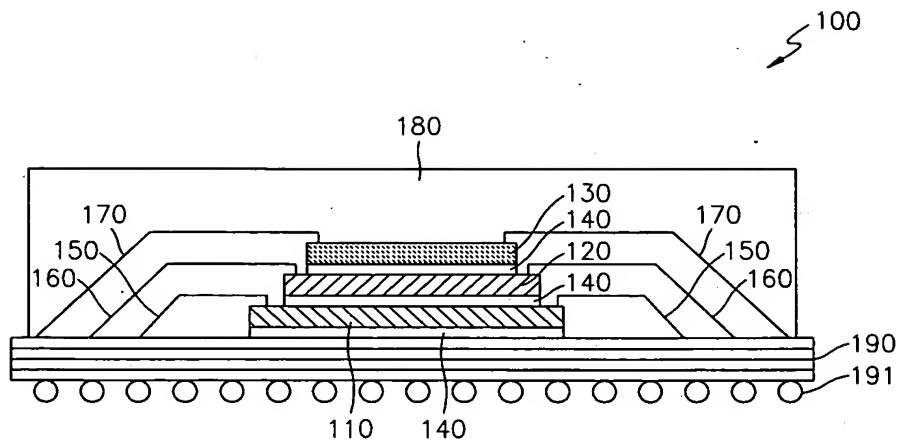
【청구항 18】

제17항에 있어서,

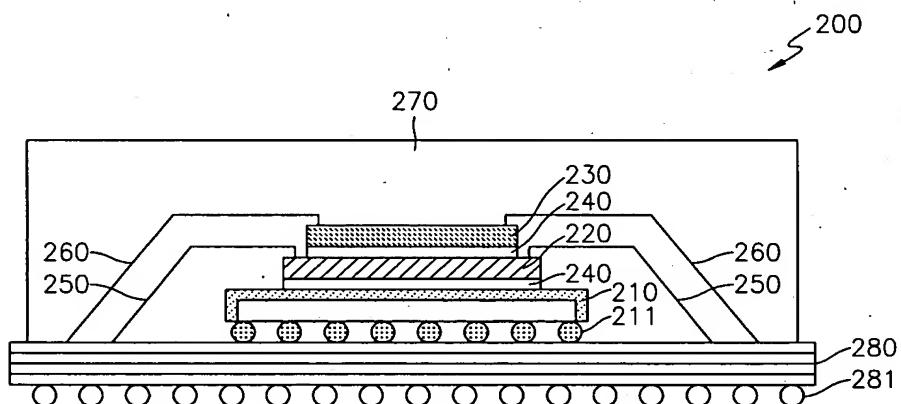
상기 제1 반도체 칩의 배면과 상기 제2 반도체 칩의 배면은 상기 접착제를 통하여 서로 마주보며 적층되는 것을 특징으로 하는 적층형 멀티 칩 패키지.

【도면】

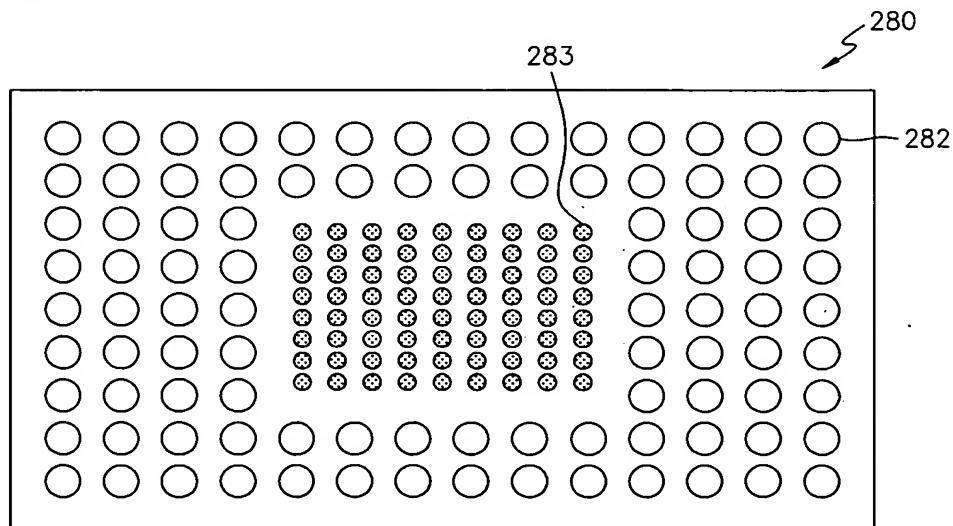
【도 1】



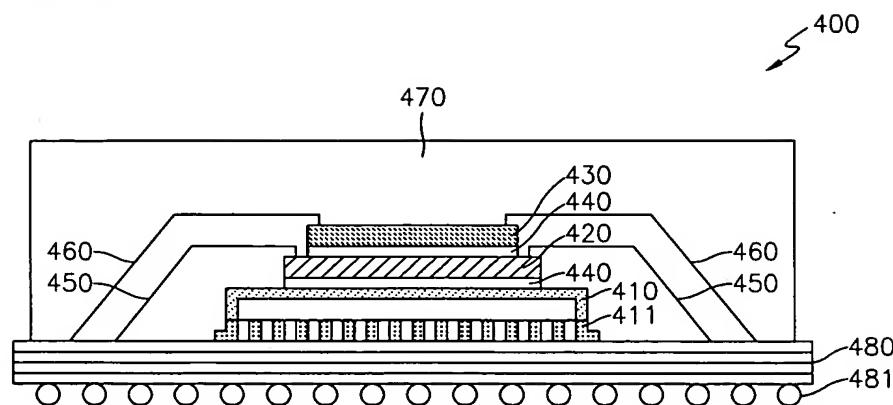
【도 2】



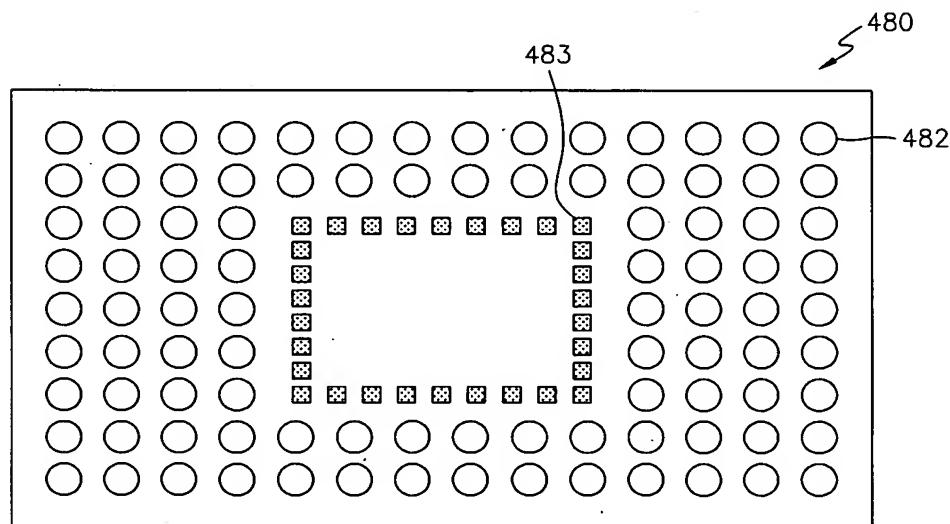
【도 3】



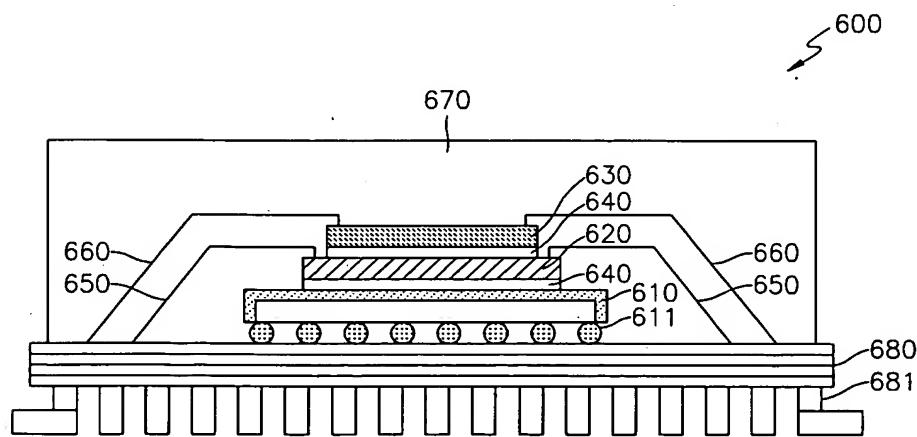
【도 4】



【도 5】



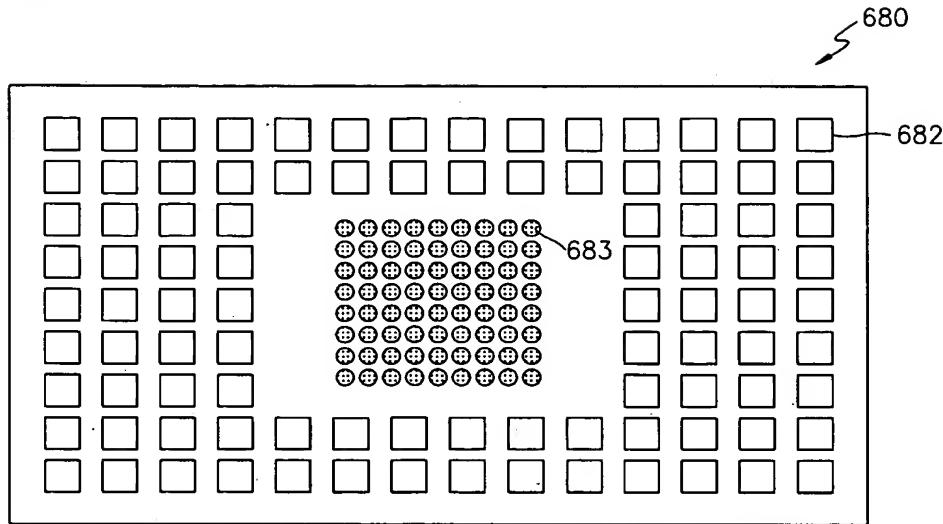
【도 6】



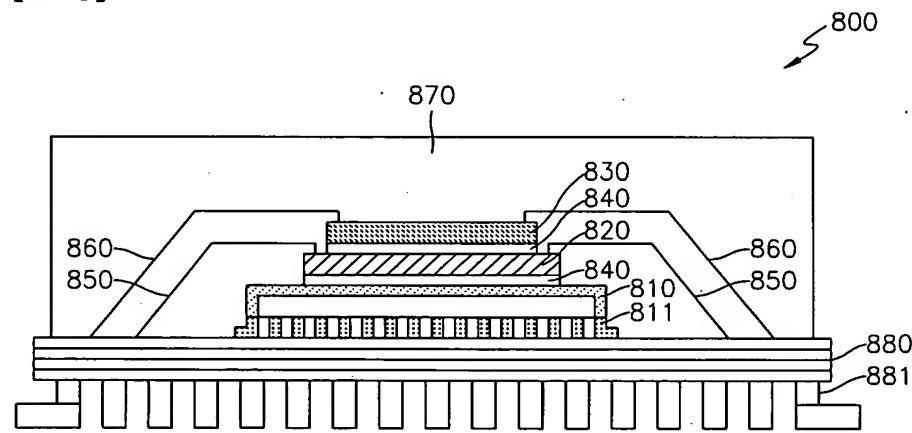
1020020071528

출력 일자: 2002/11/30

【도 7】



【도 8】



【도 9】

